

(Japanese Patent Laid-open No. Hei 2-257637)

First, by thermal oxidation or deposition, an oxide film (SiO_2 film) 2 at the thickness of about 1000 Å is deposited and formed on a semiconductor substrate 1 of silicon, for example. Then, a first polysilicon film 3 at the thickness of about 1000 Å is deposited and formed on the oxide film 2. After that, a nitride film (Si_3N_4 film) 4 at the thickness of about 2000 Å is deposited and formed on the first polysilicon film 3, the nitride film 4 is etched to removed a region where an oxide film for element isolation is to be formed, and an opening 5 is formed (Fig. 1(a)).

Next, by selective oxidation, the oxide film 2 under the opening 5 is made to grow to increase the thickness of the film, and an oxide film 6 for element isolation is formed. Here, the oxide film 6 for element isolation is formed at the thickness of about 4000 Å. The film thickness is a minimum thickness for obtaining desired isolation withstand voltage. The first polysilicon film 3 is divided to both sides of the oxide film 6 for element isolation by increasing the thickness of the oxide film 2 (Fig. 1(b)).

Then, the nitride film 4 is removed to expose the first polysilicon film 3 divided to the both sides of the oxide film 6 for element isolation. In this state, arsenic (As) ions, for example, are implanted into the first polysilicon film 3 under the condition in which the acceleration energy is 30KeV and the dose is 10^{15} cm^{-2} .

Next, a second polysilicon film 7 as thin as about 500 Å is

deposited and formed on the entire surface. After that, heat treatment is carried out to diffuse arsenic which was introduced into the first polysilicon film 3 into the second polysilicon film 7. Here, the heat treatment is carried out at a relatively low temperature, for example, 800°C so that arsenic introduced into the first polysilicon film 3 is diffused and introduced into the second polysilicon film 7 only in the region where an element is to be formed (regions designated by a reference numeral 8 in the figure) (Fig. 1(d)).

Then, by selectively etching in which etching treatment is selectively carried out depending on whether an impurity was introduced into the region or not, the first polysilicon film 3 and the second polysilicon film 7 into which arsenic was introduced are etched out. For the above-described selective etching, various kinds of etching methods where the etching speed of a semiconductor film which is not introduced into a semiconductor film into which an impurity was introduced is high can be used such as reactive ion etching using mixed gas of CCl_4 and O_2 , photoetching by ultraviolet using a chlorine-based gas, and chemical dry etching also using the chlorine-based gas. Here, with regard to the above-described photoetching, particularly the selectivity is as high as about 10, and thus, the above-described photoetching is suitable as a process of the present embodiment. With this the thin second polysilicon film 7 may be formed only over an upper part of the oxide film 6

for element isolation in a self-aligning manner so as to cover the oxide film 6 for element isolation (Fig. 1(e)).

In a post process which is carried out after this step, when the oxide film 2 is removed by being etched back using a technique of leaving side walls, the oxide film 2 is removed using an etchant with which an oxide film is removed with a higher selectivity than that of polysilicon, for example, ammonium fluoride solution. In such a post process, the second polysilicon film 7 functions as a protective film for protecting the oxide film 6 for element isolation against the etching treatment. Further, since the protective film is formed over the oxide film 6 for element isolation in a self-aligning manner, process steps such as patterning a mask and aligning in order to form the protective film over the upper part of the oxide film 6 for element isolation are unnecessary, and it is possible to form the protective film so as to cover with reliability the upper portion of the oxide film for element isolation.

Therefore, in a post process of forming the oxide film for element isolation, the film thickness of the oxide film for element isolation can be prevented from decreasing. This eliminates the necessity for forming a thick film allowing for a decrease in thickness of the film. As a result, a bird's beak region decreases to decrease the area occupied by a region for element isolation, which enables higher integration degree.

Further, since it is not necessary to form a thick oxide film

for element isolation, it is possible to shorten the time for thermal treatment to suppress the temperature rise related to the heat treatment. With this diffusion of impurity introduced under the oxide film for element isolation can be suppressed, and degradation of characteristics of the element caused by diffusion of the impurity into the region for element isolation can be decreased.

It is to be noted that the second polysilicon film 7 formed over the upper part of the oxide film 6 for element isolation does not adversely affect element isolation, since, by post oxidation in the process of forming the element, the second polysilicon film 7 disappears by oxidation or it is covered with an oxide film formed thereon.

[Effect of the Invention]

As described in the above, according to the present invention, since a protective film is formed so as to cover an upper portion of a region for element isolation before a post process of forming the region for element isolation, a decrease in film thickness of the region for element isolation in the post process can be prevented. This eliminates the necessity for forming a thick region for element isolation in advance, and thus, degradation of characteristics of the element can be suppressed and higher integration degree can be accomplished. Further, since the protective film is formed in a self-aligning manner over the upper part of the region for element isolation, it is possible to precisely form the protective film

only over the upper part of the region for element isolation in a small number of process steps.

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-257637

(43)Date of publication of application : 18.10.1990

(51)Int.CI.

H01L 21/316

H01L 21/76

(21)Application number : 01-076815

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 30.03.1989

(72)Inventor : AMAKAWA HIROTAKA

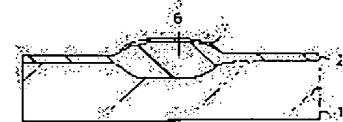
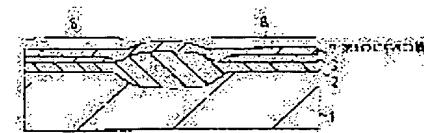
(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To prevent a reduction in a film thickness of an oxide film for element isolation use in a posterior process by a method wherein a protective film is formed in a self-aligned manner so as to cover the upper part of an element isolation region.

CONSTITUTION: A first polysilicon film 3 which has been separated on both sides of an oxide film 6 for element isolation use is exposed; ions of, e.g. arsenic (As) are implanted; a second polysilicon film 7 is deposited and formed to be thin on the whole surface. After that, a heat treatment is executed at a comparatively low temperature in such a way that the arsenic is expanded and introduced into only a second polysilicon film 8 on a region, in which an element is to be formed, out of the second polysilicon film 7. Then, the first polysilicon film 3 and the second polysilicon film 8 are removed by a selective etching operation.

Accordingly, the second thin polysilicon film 7 is formed in a self-aligned manner only at the upper part of the oxide film 6 for element isolation use so as to cover the oxide film 6 for element isolation use. Thereby, it is possible to prevent a reduction in thickness of the oxide film 6 for element isolation use in a posterior process.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁 (JP) ⑩ 特許出願公開
⑪ 公開特許公報 (A) 平2-257637

⑫ Int. Cl. 5
H 01 L 21/316
21/76

識別記号

府内整理番号

M

7638-5F

6810-5F

H 01 L 21/94

⑬ 公開 平成2年(1990)10月18日

A

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 半導体装置の製造方法

⑮ 特 願 平1-76815

⑯ 出 願 平1(1989)3月30日

⑰ 発明者 天川 博 隆 神奈川県川崎市幸区小向東芝町1 株式会社東芝総合研究所内

⑱ 出願人 株式会社東芝 神奈川県川崎市幸区堀川町72番地

⑲ 代理人 弁理士 三好 秀和 外1名

明細書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

半導体基板上に絶縁膜、半導体膜の順で各膜を形成する工程と、

前記絶縁膜を選択的に厚膜化することによって、厚膜化された絶縁膜からなる素子分離領域を形成するとともに、前記半導体膜を素子形成予定領域上の前記絶縁膜上で分離する工程と、

前記半導体膜に不純物を導入した後、全面に前記絶縁膜に対するエッチング速度が異なる保護膜を形成し、次いで素子形成予定領域上に形成された前記保護膜に前記半導体膜に導入された不純物を選択的に導入する工程と、

前記不純物が導入された保護膜の領域を導入されていない保護膜の領域に対して選択的に除去して、前記選択除去により残置せしめられた保護膜を前記素子分離領域上にのみ自己整合的に形成す

る工程と

を有することを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

[発明の目的]

(産業上の利用分野)

この発明は、素子分離領域の膜厚の減少を防止するようにした半導体装置の製造方法に関する。

(従来の技術)

近年、半導体技術の飛躍的な発展にともなって、半導体集積回路の高集積化が進んでいる。このような中で、半導体集積回路の集積度を向上させるためには、各素子の微細化のみならず、素子間を電気的に絶縁分離するための素子分離領域の縮少化を行なう必要がある。

現在、集積回路の素子分離は素子分離用酸化膜を素子分離領域に選択酸化法を用いて形成する方法が主流を占めている。この選択酸化法は、まず、例えばシリコンの半導体基板上に形成された酸化膜 (SiO_2 膜) を窒化膜 (Si_3N_4 膜) をマスクとして選択的に成長させることによって、酸

化膜を選択的に厚く形成する。その後、全面にCVD法により酸化膜を形成してRIE法によりエッチバックする側壁残し技術により、素子形成予定領域上の酸化膜を除去する。これにより、素子分離領域にのみ素子分離用の厚い酸化膜を形成する。

このような選択酸化法にあっては、厚い酸化膜を選択的に形成した後工程の側壁残し工程において、素子形成予定領域上の酸化膜を除去する際に、素子分離用の酸化膜もエッチングされて、膜厚が減少するといった不具合を招いていた。ちなみに、減少する酸化膜厚は、形成直後の膜厚に比べて半分程度にまで達する場合がある。

このため、素子分離用酸化膜の膜厚は、後工程における減少分を考慮して、所望の分離耐圧が得られるように、酸化による酸化膜の成長の厚みを設定する必要があった。このように、後工程における素子分離用酸化膜の減少を見込んで酸化膜の膜厚を厚く形成するためには、酸化膜を熱酸化処理する際の熱酸化時間を長くしたり、あるいは、

上記したように、素子分離用酸化膜の形成にあっては、酸化膜の厚膜化時に後工程における膜厚の減少分を考慮して、膜厚を厚く形成していた。

しかしながら、素子分離用酸化膜の膜厚を厚くすることによって、素子特性が劣化したり、高集積化の障害を招いていた。

そこで、この発明は、上記に鑑みてなされたものであり、その目的とするところは、素子分離用の酸化膜の後工程における膜厚の減少を防止して、素子特性の劣化を招くことなく高集積化に寄与することができる半導体装置の製造方法を提供することにある。

[発明の構成]

(課題を解決するための手段)

上記目的を達成するために、この発明は、半導体基板上に絶縁膜、半導体膜の順で各膜を形成する工程と、前記絶縁膜を選択的に厚膜化することによって、厚膜化された絶縁膜からなる素子分離領域を形成するとともに、前記半導体膜を素子形成予定領域上の前記絶縁膜上で分離する工程と、

熱酸化処理における酸化温度を高くしなければならない。

しかしながら、熱酸化時間を長くしたり酸化温度を高くすると、素子分離領域となる酸化膜の下部に導入されたチャネルストッパー用の不純物が素子分離領域から素子形成予定領域へ拡散することになる。これにより、素子形成予定領域に所望の素子を形成した時に、素子に狭チャネル効果等の特性の劣化を招き易くなる。

また、素子分離用酸化膜の膜厚を厚くすると、バーズピークと呼ばれる領域が素子形成予定領域にまで広がり、素子形成予定領域の有効面積が減少することになる。このため、基板上での素子の形成領域が減少して、チップ面積の大型化を招くことになる。

さらに、素子分離用酸化膜の膜厚を厚くすると、基板に加わる応力が増大して、基板に結晶欠陥が生じ、リーク電流が発生し易くなるといった不具合を招くことになる。

(発明が解決しようとする課題)

前記半導体膜に不純物を導入した後、全面に前記絶縁膜に対するエッチング速度が異なる保護膜を形成し、次いで素子形成予定領域上に形成された前記保護膜に前記半導体膜に導入された不純物を選択的に導入する工程と、前記不純物が導入された保護膜の領域を導入されていない保護膜の領域に対して選択的に除去して、前記選択除去により残置せしめられた前記保護膜を前記素子分離領域上にのみ自己整合的に形成する工程とからなる。

(作用)

- この発明は、素子分離領域の上部を被覆するよう保護膜を自己整合的に形成し、この保護膜によって素子分離領域の厚さの減少を防止するようにしている。

(実施例)

以下、図面を用いてこの発明の実施例を説明する。

第1図はこの発明の一実施例に係る半導体装置の製造方法を示す工程断面である。同図に示す実施例は、素子分離用酸化膜の形成工程における後

工程の前に、後工程の酸化時に素子分離用酸化膜を保護する保護膜となるポリシリコンを、厚膜化された素子分離用酸化膜の上面を被覆するように形成するようにしている。

まず、例えばシリコンの半導体基板1上に酸化膜(SiO₂膜)2を熱酸化あるいは堆積法によって1000Å程度の厚さに堆積形成する。続いて、この酸化膜2の上に第1のポリシリコン膜3を1000Å程度の厚さに堆積形成する。その後、この第1のポリシリコン膜3の上に窒化膜(Si₃N₄膜)4を2000Å程度の厚さに堆積形成し、素子分離用酸化膜を形成しようとする領域の窒化膜4をエッティング除去して、開口部5を形成する(第1図(a))。

次に、選択酸化法によって開口部5下の酸化膜2を成長させて厚膜化させて、素子分離用酸化膜6を形成する。この時に、素子分離用酸化膜6は、その膜厚を4000Å程度に形成する。この膜厚は、所望の分離耐圧を得るための最小限の厚さである。また、第1のポリシリコン膜3は酸化膜2

選択性エッティングによって、ヒ素が導入された第1のポリシリコン膜3及び第2のポリシリコン膜7をエッティングして除去する。前記選択的エッティングとしては、CCl₄とO₂の混合ガスを用いた反応性イオンエッティングや、塩素系ガスを用いた紫外線による光エッティングや、やはり塩素系ガスによるケミカルドライエッティング等、不純物が導入された半導体膜を導入されていない半導体膜に対するエッティング速度が大であるエッティング方法を種々用いることができる。ここで、前記光エッティングによれば特に選択比は約10程度と高く、この実施例のプロセスとして適している。これにより、素子分離用酸化膜6を被覆するように薄い第2のポリシリコン膜7が、自己整合的に素子分離用酸化膜6の上部にのみ形成されることになる(第1図(e))。

この後に行なわれる後工程で酸化膜2を側壁残し技術によりエッチバックして除去する際に、ポリシリコンに対して酸化膜が高い選択比でもって除去されるエッティング液、例えばフッ化アンモニ

を厚膜化することによって、素子分離用酸化膜6の両側に分離される(第1図(b))。

次に、窒化膜4を除去して、素子分離用酸化膜6の両側に分離された第1のポリシリコン膜3を露出させる。このような状態で、この第1のポリシリコン膜3に例えばヒ素(As)イオンを、加速エネルギー30KeV、ドーズ量10¹⁵cm⁻²の条件の下で注入する。

次に、全面に第2のポリシリコン膜7を500Å程度に薄く堆積形成する。その後、熱処理を行なって第1のポリシリコン膜3中に導入されたヒ素を第2のポリシリコン膜7に拡散させる。この時に、第1のポリシリコン膜3中に導入されたヒ素が、第2のポリシリコン膜7のうち素子形成予定領域上の第2のポリシリコン膜(図中符号8で示す領域)にのみ拡散されて導入されるように、例えば800℃の比較的低温で熱処理を行なう(第1図(d))。

次に、不純物が導入された領域と導入されていない領域とで選択的にエッティング処理がなされる

ウム液を用いて、酸化膜2の除去を行なう。このような後工程にあって、第2のポリシリコン膜7は、エッティング処理に対して素子分離用酸化膜6を保護する保護膜として機能することになる。また、この保護膜は、自己整合的に素子分離用酸化膜6の上に形成されるため、素子分離用酸化膜6の上部に形成するためのマスクパターンや位置合せ等の工数を必要とすることなく、保護膜を素子分離用酸化膜の上部を確実に被覆するように形成することが可能となる。

したがって、素子分離用酸化膜形成の後工程において、素子分離用酸化膜の膜厚の減少を防止することができる。これにより、膜厚の減少を見込んで予め膜厚を厚く形成する必要はなくなる。この結果、バースピークの領域が縮少することによって素子分離領域の占有面積が縮少し、集積度を高めることができるとなる。

さらに、素子分離用酸化膜の膜厚を厚く形成する必要がないので、熱処理時間を短かくして熱処理温度を低く抑えることが可能となる。これによ

り、素子分離用酸化膜の下部に導入される不純物の拡散を抑制することができ、不純物の素子形成領域への拡散に寄因する素子の特性劣化を低減することができるようになる。

なお、素子分離用酸化膜6の上部に形成された第2のポリシリコン膜7は、素子形成過程における後酸化によって、酸化消滅あるいは上部に酸化膜が形成されて被覆されるため、素子分離に悪影響を与えることはない。

【発明の効果】

以上説明したように、この発明によれば、素子分離領域形成工程における後工程の前に、保護膜を素子分離領域の上部を被覆するように形成したので、後工程における素子分離領域の膜厚の減少を防止することができる。これにより、予め素子分離領域を厚く形成する必要がなくなり、素子特性の劣化を抑制して高集積化を達成することができる。さらに、保護膜を素子分離領域の上部に自己整合的に形成するようにしているので、少ない工程数で保護膜を素子分離領域の上部にのみ正

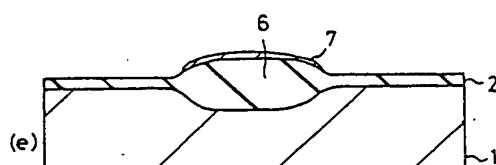
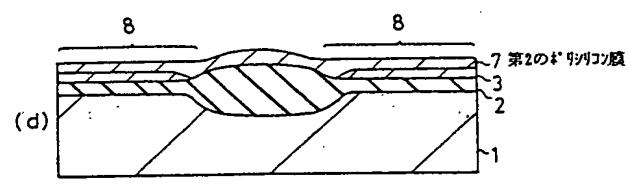
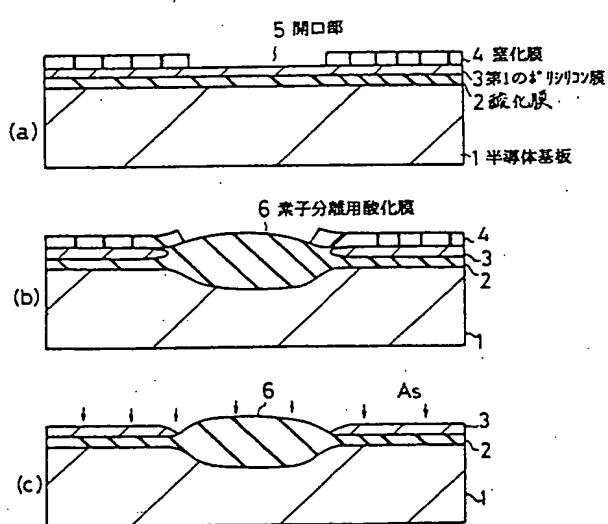
確に形成することが可能となる。

4. 図面の簡単な説明

第1図はこの発明の一実施例に係る半導体装置の製造方法における工程断面図である。

- 1 … 半導体基板、 2 … 酸化膜、
- 3 … 第1のポリシリコン膜、
- 4 … 窒化膜、 5 … 開口部、
- 6 … 素子分離用酸化膜、
- 7 … 第2のポリシリコン膜。

代理人弁理士 三好秀和



第1図

第1図